

14/7/12
DIALOG(R)File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

03082636

SOFTWARE TEST *COVERAGE* MEASURING DEVICE

PUB. NO.: 02-058136 [JP 2058136 A]
PUBLISHED: February 27, 1990 (19900227)
INVENTOR(s): KOBASHI SHUICHI
APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 63-210202 [JP 88210202]
FILED: August 24, 1988 (19880824)

ABSTRACT

PURPOSE: To improve the testing efficiency of a program by automatically detecting the effective path of the program to be tested, and executing simulation and emulation only for the effective path.

CONSTITUTION: A program unit dividing means 4 to divide the computer program to be a testing object into units, an executing path analyzing means 5 to extract the effective executing path from the correlation of the parameter between the respective divided program units, a tracer implanting means 6 to implant a tracer tracing the executing path to the program, a compilation linking means 7 to generate a loading module which can execute the simulation from the program, an executing path/data collecting means 8 to collect the path/data at the time of the simulation, and a test data evaluating means 9 to calculate and evaluate an effective test execution rate based on the executing path/data are provided. Thus, the useless test path is automatically judged to be eliminated, only the valid path is extracted, and the test can be made efficient.

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-58136

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月27日

G 06 F 11/28

3 4 0 B

7343-5B

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 ソフトウェア試験カバレッジ測定装置

⑯ 特 願 昭63-210202

⑰ 出 願 昭63(1988)8月24日

⑱ 発 明 者 小 橋 秀 一 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

ソフトウェア試験カバレッジ測定装置

2. 特許請求の範囲

計算機プログラムを分岐命令を複数個含まないブロックに分割するプログラム・ユニット分割手段と、分割された各プログラム・ユニット間の相関から有効な実行パスを検出する実行パス解析手段と、プログラムの実行パスを追跡するトレースを計算機プログラムに植え込むトレース植付手段と、トレースを植え込まれたプログラムからシミュレーション実行可能なロード・モジュールを生成するコンパイル・リンク手段と、シミュレーション時の実行パス・データを収集する実行パス・データ収集手段と、収集された実行パス・データに基づき有効試験実施率を算出評価する試験データ評価手段を備えることを特徴とするソフトウェア試験カバレッジ測定装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はソフトウェア試験カバレッジ測定装置、特にプログラムの分岐・繰り返しパラメータの値、変数の使用状況から適切な有効パスを選定し、対象計算機プログラムの有効試験実施率を評価する装置に関するものである。

[従来の技術]

一般に、計算機プログラムの完全性を試験する場合、プログラムの内部構造面と要求機能面の両面から試験データを作成し、シミュレーションまたはエミュレーションを実施した後で、ターゲット・システムにおけるシステム検証を行っている。プログラムの内部構造面からの試験は命令文、分岐、実行パスの3つの観点から評価されるが、試験負担を最小化しながらカバレッジを極力高くなるような方法が要求される。

従来、かかる要求に応えるものとして文献(「Software Reliability」Glenford J. Myers著「ソフトウェアの信頼性」有沢誠訳、近代科学社発行、1977年)に示されるようなソフトウェア試験カバレッジ測定システムが提案され

ている。これは第5図のフローチャートに示すようなプログラムを対象とし第6図の説明図に示すような実行パスに適合されるシステムであり、ステップP1からステップP4の4つの処理がパス1からパス4の4つの抽出された実行パスに割り当てられる。この場合、各プログラム・ユニット間の処理内容に無関係に実行パスを検出し、その実行パスを分母に実行比率を算出している。このため、処理2の内容と処理4の相関を無視した実行比率が算出される。すなわち、処理2の内容と処理4の内容が相関を持つ場合には、処理2と処理4はいずれも無い、いずれも含まれるかのいずれかの状態しか取り得ない訳であり、従ってパス3や4のように処理2または処理4のいずれかしか含まれない実行パスは実際には取り得ず無意味である。

〔発明が解決しようとする課題〕

従来のソフトウェア試験カバレッジ測定システムは以上のように構成されているので、分岐可能性の有無によってのみ実行パスを検出しており、

ユニット分割手段と、分割された各プログラム・ユニットの分岐命令の呼び先と分岐元のコマンドライン番号から構成されるベクトルから実行パスを検出し、各プログラム・ユニット間のパラメータの相関から有効な実行パスを抽出する実行パス解析手段と、プログラムの実行パスを追跡するトレーサをプログラムに植え込むトレーサ植付手段と、トレーサを植え込まれたプログラムからシミュレーション実行可能なロード・モジュールを生成するコンパイル・リンク手段と、シミュレーション時の実行パス・データを収集する実行パス・データ収集手段と、収集された実行パス・データに基づき有効試験実施率を算出しこれを評価する試験データ評価手段を備えるものである。

〔作用〕

この発明におけるソフトウェア試験カバレッジ測定装置は、計算機プログラムを実行フローからユニット分割し、分岐命令の飛び先、分岐元から生成されるベクトルに基づく実行パスを各ユニットでの受け渡しパラメータの相関関係から有効実

従ってそのプログラムが実運用される場合には取り得ないパスを送出してしまい、試験者によるそのパスの有効・無効の判断が必要であるという問題点がある。試験者は試験データに対する処理そのものの結果の妥当性を判断する必要があることから、試験に伴う負担が大きくなってしまいう問題点もある。

この発明は上記従来技術の課題を解決するためになされたもので、ソフトウェアの試験に当たり、無意味な試験パスを自動的に判断削除し、有効なパスのみを抽出することで試験を効率化すると共に試験者の負担を軽減することのできるソフトウェア試験カバレッジ測定装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明にかかるソフトウェア試験カバレッジ測定装置は、試験対象となる計算機プログラムを分岐命令を複数個含まないユニット・ブロック、つまり分岐命令を含まないか含むとしても1個しか有さないユニットに分割するにプログラム・ユ

ニティを絞込むことによって見掛け上で意味の無いパスを除外し、実行パス分析の結果を有効なものにしている。

〔実施例〕

以下、図面を参照しながらこの発明の実施例を説明する。

第1図はこの発明の一実施例に係るソフトウェア試験カバレッジ測定装置のブロック図である。図において、(2)は試験対象計算機プログラムであるソース・プログラムを格納する記憶装置、(1)はプログラム・ユニット分割手段(4)、実行パス解析手段(5)、実行トレーサ植付手段(6)、ロード・モジュール生成手段(7)、試験データ収集手段(8)、試験データ評価手段(9)を備える計算機、(3)は実行パス解析結果や試験カバレッジを印字出力する出力装置である。そして、記憶装置(2)から読み出されたソース・プログラムは計算機(1)のプログラム・ユニット分割手段(4)によって分岐命令を複数以上持たないプログラム・ユニットに分割され、

実行パス解析手段(5)で分岐命令による論理的実行パスを検出される。この実行パス解析結果は出力装置(3)に出力される。一方、実行トレーサ植付手段(6)で各ユニット・プログラムには実行追跡用のトレーサが植え込まれ、ロード・モジュール生成手段(7)でコンパイル・リンクされた後にこれが実行される。この場合、各ユニット間での受け渡しパラメータの相関から有効実行パラメータを絞り込み、プログラムの実行時には各プログラム・ユニットの実行を実行パスと一致した形でトレースし記憶する。この記憶された実行記録は実行パス分析によって得られている実行可能パスからその試験カバレッジを算出され出力装置(3)に出力される。

かかる構成において次にその作用を第2図のフローチャートに従って説明する。

記憶装置(2)から計算機(1)に読み出された計算機プログラム、つまりソース・プログラムはプログラム・ユニット分割手段(4)で分岐命令、例えばPL/DO及びVHILE 繰り返し文、DO

以上のようにして生成されたロード・モジュールは計算機(1)上でプログラム実行され、試験データ収集手段(8)によって実行履歴が収集される。(ステップS5)

この試験データに対する実行データが収集分析されて試験データ評価手段(9)で試験カバレッジが算出評価され、その結果は出力装置(3)を通じて試験員に知らされる。(ステップS6)

第3図、第4図はそれぞれ有効実行パスの絞り込みの原理を単純化して示すためのもので、第3図は試験プログラムの一例のフローチャートおよび第4図は第3図のフローの実行パスの説明図である。ステップP1からステップP4の各処理1から処理4の中で処理1は処理2および処理3への分岐を含んでおり、また処理3も処理4、ストップへの分岐を含んでいる。分岐命令のみによるパス分析ではパス1からパス4の4つの実行パスが生成されてしまうが、処理2で生成されたパラメータが第4で使用されているような場合には、処理2と処理4を両方含まないパス3、パス4は

CASE 文、IF分、GO TO 文等の存在によって、これを複数以上含まないブロックにユニット分割される。つまり、これらの分岐命令文が1個以下のプログラム・ブロックに分割される。(ステップS1)

次に実行パス解析手段(5)によって分岐命令の分岐元および分岐先のライン番号から生成される実行パス・ベクトルから実行パスを検出し、各処理ユニット間の受け渡しパラメータの相関から有効実行パスを絞り込む。この結果は、出力装置(3)によって試験者に知らされる。(ステップS2)

ユニット分割されたソース・プログラムには実行トレーサ植付手段(6)によって各ユニット毎に実行追跡トレーサが植え込まれる。(ステップS3)

次に、ロード・モジュール生成手段(7)によって、このソース・プログラムが別途作成される試験データと共にコンパイル・リンクされる。(ステップS4)

意味がないものになってしまう。このパラメータ間の相関の有無を利用して有効実行パスを検出する。つまり、第4図の説明図に示すように、例えば処理2と処理4の相関がある場合は、パス1、パス2が有効であり、処理2と処理4の相関が無い場合はすべてのパスが有効となる。

以上のように、計算機プログラムの処理内容に依存した有効実行パスを各プログラム・ユニット間の受け渡しパラメータ間の相関により自動的に検出することができるようにしたので、ソフトウェア試験における試験員の判断時間や試験時間を大幅に短縮することができる。

【発明の効果】

以上のように、この発明によれば試験すべきプログラムの有効なパスを自動的に検出し、この有効パスのみに限ってシミュレーションやエミュレーションを実行するように構成したので、試験結果に対する試験者の判断の必要を低減し、プログラムの試験効率を大幅に向上することができるものが得られる効果がある。

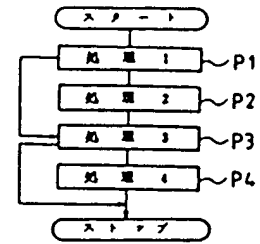
4. 図面の簡単な説明

第1図はこの発明の一実施例に係るソフトウェア試験カバレッジ測定装置のブロック図、第2図は第1図の構成の動作を説明するためのフローチャート、第3図は第1図の構成の作用を説明するためのフローチャート、第4図は第1図の構成の作用の説明図、第5図は従来のソフトウェア試験カバレッジ測定システムの作用を説明するためのフローチャート、第6図は従来のシステムの作用の説明図である。

図中、(1)は計算機、(2)は記憶装置、(3)は出力装置、(4)はプログラム・ユニット分割手段、(5)は実行パス解析手段、(6)は実行トレース植付手段、(7)はロード・モジュール生成手段、(8)は試験データ収集手段、(9)は試験データ評価手段である。

なお、図中、同一符号は同一、又は相当部分を示す。

代理人 弁理士 大 岩 増 雄
(他 2 名)



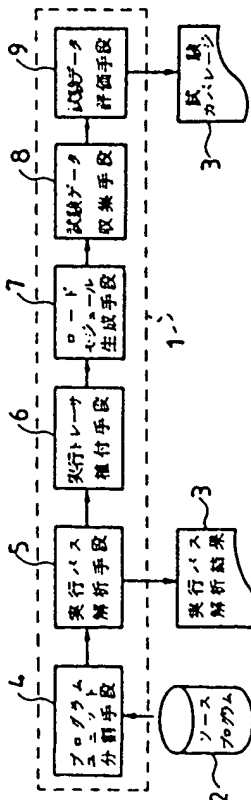
一実施例の構成の作用説明のフローチャート

第 3 図

	パス 1	パス 2	パス 3	パス 4
実行パス	処理 1 処理 3	処理 1 処理 2 処理 3 処理 4	処理 1 処理 3 処理 4	処理 1 処理 2 処理 3
処理 2 と 処理 4 の 増 減				
有 無	○ ○	○ ○	× ○	× ○

一実施例の構成の作用の説明図

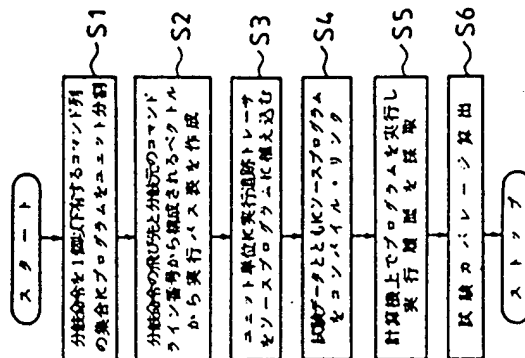
第 4 図



- 1: 計算機
- 2: 記憶装置
- 3: 出力装置
- 4: プログラム・ユニット分割手段
- 5: 実行パス解析手段
- 6: 実行トレース植付手段
- 7: ロード・モジュール生成手段
- 8: 試験データ収集手段
- 9: 試験データ評価手段

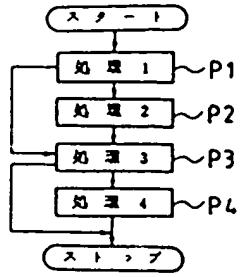
本発明の一実施例の装置のブロック図

第 1 図



一実施例の構成の動作説明用のフローチャート

第 2 図



従来システムの作用の説明用のフローチャート

第 5 図

パス 1	パス 2	パス 3	パス 4
処理 1	処理 1	処理 1	処理 1
処理 3	処理 2	処理 3	処理 2
	処理 3	処理 4	処理 3
	処理 4		

従来システムの作用の説明図

第 6 図

THIS PAGE BLANK (USPTO)